

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-319456

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/04	3 0 2		G 0 6 F 1/04	3 0 2 A
11/30	3 2 0		11/30	3 2 0 D

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平8-140094

(22) 出願日 平成8年(1996)6月3日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 391024515

三菱電機セミコンダクタソフトウェア株式会社

兵庫県伊丹市中央3丁目1番17号

(72) 発明者 宇津野 雅之

兵庫県伊丹市中央3丁目1番17号 三菱電機セミコンダクタソフトウェア株式会社内

(74) 代理人 弁理士 宮田 金雄 (外3名)

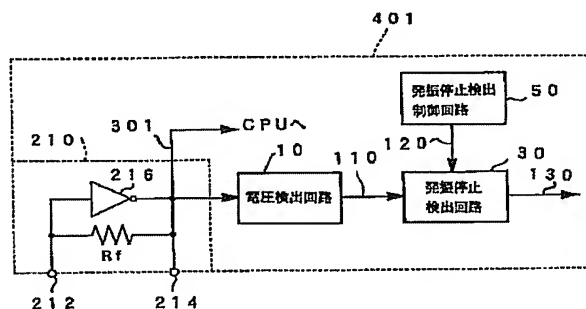
最終頁に続く

(54) 【発明の名称】 発振停止検出装置

(57) 【要約】

【課題】 様々な原因に起因して生ずるクロック信号の停止を確実に検出することが困難である課題があった。

【解決手段】 電圧検出回路10は、クロック信号発生部210の出力がハイレベル、ローレベルまたは中間レベルに収束したことを検出してそれらのレベルを示す電圧検出信号110を出力する。クロック信号発生部210の出力が各レベルに収束したことを電圧検出信号110が示すと、発振停止検出回路30は、クロック信号301が停止したことを示す検出信号130を出力するものである。



**【特許請求の範囲】**

**【請求項1】** クロック信号を発生するクロック信号発生部を有する半導体装置で用いられ、前記クロック信号が停止したことを検出する発振停止検出装置において、前記クロック信号発生部の出力がハイレベル、ローレベルまたは中間レベルに収束したことを検出して電圧検出信号を出力する電圧検出回路と、クロック信号発生部の出力が各レベルに収束したことを前記電圧検出信号が示すと、前記クロック信号が停止したことを示す検出信号を出力する発振停止検出回路とを備えたことを特徴とする発振停止検出装置。

**【請求項2】** 発振停止検出回路の動作を禁止する発振停止検出制御回路を備えたことを特徴とする請求項1記載の発振停止検出装置。

**【請求項3】** 発振停止検出制御回路は、外部から半導体装置に与えられるリセット信号を遅延した信号、強制的にクロック信号を停止するクロック停止モードに応じた信号を遅延した信号、またはクロック信号停止検出処理を強制的に禁止する信号が有意になると発振停止検出回路の動作を禁止することを特徴とする請求項2記載の発振停止検出装置。

**【請求項4】** 発振停止検出回路からの検出信号が有意になると半導体装置の内部にリセット信号を与える強制リセット回路を備えたことを特徴とする請求項1から請求項3のうちのいずれか1項に記載の発振停止検出装置。

**【請求項5】** 半導体装置は複数のクロック信号発生部を有し、各クロック信号発生部からのクロック信号が停止したことを示す検出信号の状態を格納するレジスタを備えたことを特徴とする請求項1から請求項4のうちのいずれか1項に記載の発振停止検出装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は、マイクロコンピュータ等のクロック信号を用いる半導体装置において、クロック信号源が正常に発振していないことを検出する発振停止検出装置に関するものである。

**【0002】**

**【従来の技術】** 図13は例えば特開平4-171516号公報に示された従来の発振停止検出装置の構成を示す回路図である。この発振停止検出装置は、マイクロコンピュータに適用される。図において、210は入力端子212および出力端子214に接続された振動子219とともに動作してクロック信号301を発生する反転回路216および抵抗Rfを有するクロック信号発生部、220はクロック信号301が停止したときにローレベルの検出信号302を出力する発振停止検出部、230はクロック信号301およびハイアクティブのリセット信号303を入力するCPU部、240はリセット信号入力端子242に接続された抵抗とコンデンサとによる

電圧にもとづいてリセット信号305を発生するリセット信号発生部、250はリセット信号305と検出信号302とからCPU部230に与えられるリセット信号303を生成するとともに、発振停止検出部220に初期化信号307を与えるリセット信号制御部である。

**【0003】** 次に動作について図14のタイミング図を参照して説明する。マイクロコンピュータ回路に電源が投入されると、リセット信号発生部240は、所定期間ローレベルとなるリセット信号305を発生する（図14（a）、（c）参照）。リセット信号制御部250において、リセット信号305は、反転論理積回路（NAND回路）を通過して所定期間ハイレベルとなるリセット信号303としてCPU部230に出力される。一方、クロック信号発生部210は、クロック信号301を発生してCPU部230に与える。所定期間が経過すると、リセット信号305はハイレベルになるので、CPU部230に与えられるリセット信号303はローレベルになってCPU部230は動作を開始する。

**【0004】** 電源電圧レベルVddが低下してクロック信号301が継続してローレベルを示すと（図14（a）、（b）参照）、発振停止検出部220においてNチャネルトランジスタが継続して導通状態になるので、シュミットトリガ反転回路の入力レベルがローレベルに変化する。すると、発振停止検出部220におけるDフリップフロップのクロック端子の入力レベルがハイレベルに変化し、検出信号302がローレベルになる（図14（d）参照）。検出信号302は、リセット信号制御部250におけるNAND回路を通過するので、CPU部230にはハイレベルのリセット信号303が与えられる（図14（f）参照）。よって、CPU部230はリセット状態になる。

**【0005】** 電源電圧レベルVddが復旧してクロック信号301の出力が再開されると、リセット信号制御部250におけるDフリップフロップのQ出力端子にハイレベルが現れる。すなわち、初期化信号307がアクティブになって（図14（e）参照）、発振停止検出部220におけるDフリップフロップがリセットされる。従って、検出信号302がハイレベルに戻る（図14（d）参照）。この結果、リセット信号303がローレベルに戻る所以、CPU部230は動作できる状態に戻る。このように、発振停止検出部220がクロック信号301の停止を検出すると、有意なリセット信号303がCPU部230に与えられ、CPU部230はリセットされる。

**【0006】** マイクロコンピュータの誤動作対策として、ソフトウェアにフェールセーフ処理を盛り込むことによる対策、マイクロコンピュータが内蔵するウォッチドッグタイマを使用することによる対策、マイクロコンピュータの外部に設けられる周辺回路（図示せず）による対策などがある。一般に、誤動作対策用の周辺回路等

は、マイクロコンピュータのリセット時の状態を想定して構成されている。すなわち、リセット時の状態が継続すると、周辺回路は、マイクロコンピュータに異常が生じたことを認識する。従って、図13に示された構成によれば、クロック信号301が停止するとCPU部230がリセット状態になるので、周辺回路は、マイクロコンピュータに異常が生じたことを認識できる。

【0007】しかし、図13に示された従来の発振停止検出装置は、電源電圧レベルV<sub>dd</sub>が低下する等の原因によってクロック信号301がローレベルに固定されたときにのみクロック信号301が停止したことを検出できる。現実には、電源電圧レベルV<sub>dd</sub>の低下のみならず、入力端子212および出力端子214の切断や短絡、振動子219が入力端子212または出力端子214から抜けることなどの種々の原因にもとづいてクロック信号301の停止が生ずる。

【0008】図15に示すように、入力端子212に発振器218を接続してマイクロコンピュータの外部からクロック信号301を得る場合がある。この場合にも、入力端子212および出力端子214の切断や短絡、発振器218の故障などの種々の原因にもとづいてクロック信号301の停止が生ずる。

【0009】

【発明が解決しようとする課題】従来の発振停止検出装置は以上のように構成されているので、広範囲にわたる原因に起因して生ずるクロック信号301の停止を確実に検出することは困難であるという課題があった。

【0010】この発明は上記のような課題を解決するためになされたもので、種々の原因によるクロック信号の停止を確実に検出できる発振停止検出装置を得ることを目的とする。

【0011】

【課題を解決するための手段】請求項1記載の発明に係る発振停止検出装置は、クロック信号発生部の出力がハイレベル、ローレベルまたは中間レベルに収束したことを検出してそれらのレベルを示す電圧検出信号を出力する電圧検出回路と、クロック信号発生部の出力が各レベルに収束したことを電圧検出信号が示すと検出信号を出力する発振停止検出回路とを備えたものである。

【0012】請求項2記載の発明に係る発振停止検出装置は、発振停止検出回路の動作を禁止する発振停止検出制御回路を備えたものである。

【0013】請求項3記載の発明に係る発振停止検出装置は、発振停止検出制御回路が、外部から半導体装置に与えられるリセット信号を遅延した信号、強制的にクロック信号を停止するクロック停止モードに応じた信号を遅延した信号、またはクロック信号停止検出処理を強制的に禁止する信号が有意になると発振停止検出回路の動作を禁止する構成になっているものである。

【0014】請求項4記載の発明に係る発振停止検出装

置は、発振停止検出回路からの検出信号が有意になると半導体装置の内部にリセット信号を与える強制リセット回路を備えたものである。

【0015】請求項5記載の発明に係る発振停止検出装置は、複数のクロック信号発生部を有する半導体装置に適用され、各クロック信号発生部からのクロック信号が停止したことを示す検出信号の状態を格納するレジスタを備えたものである。

【0016】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による発振停止検出装置の構成を示すブロック図である。このような発振停止検出装置は、例えば、マイクロコンピュータ401に内蔵される。図において、10はクロック信号301が停止したときに電圧検出信号110を発生する電圧検出回路、30は電圧検出信号110にもとづいてクロック信号301が停止したことを検出し、検出信号130を出力する発振停止検出回路、50は発振停止検出回路30にイネーブル信号120を与える発振停止検出制御回路、210は入力端子212および出力端子214に接続される振動子とともに動作してクロック信号301を発生する反転回路216および抵抗R<sub>f</sub>を有するクロック信号発生部である。

【0017】図2は電圧検出回路10の一構成例を示す回路図である。図において、12、13はクロック信号301を入力する反転回路、14は反転回路12、13の出力を入力し入出力端子間の開放を示す第1の停止検出信号101を出力する論理回路、15はクロック信号301を入力してクロック信号301のハイレベル固定を示す第2の停止検出信号102を出力する反転回路、16はクロック信号301を入力してクロック信号301のローレベル固定を示す第3の停止検出信号103を出力する反転回路、17は反転回路15、16および論理回路14の出力を入力して電圧検出信号110を出力する論理回路である。

【0018】21は反転回路12、13および論理回路14を含む第1の停止検出回路、22は反転回路15を含む第2の停止検出回路、23は反転回路16を含む第3の停止検出回路である。なお、第1の停止検出信号101と第2の停止検出信号102とはローレベルが有意なレベルであり、第3の停止検出信号103はハイレベルが有意なレベルである。

【0019】図3は発振停止検出回路30の一構成例を示す回路図である。図において、31はイネーブル信号120をゲート端子に導入しドレイン端子に電源電圧レベルV<sub>dd</sub>が供給されているPチャネルトランジスタ、32は電圧検出信号110をゲート端子に導入しソース端子が接地レベルV<sub>ss</sub>(0V)に固定されているNチャネルトランジスタ、33は一端が接地レベルV<sub>ss</sub>に

固定されているとともに他端がPチャネルトランジスタ31のソース端子およびNチャネルトランジスタ32のドレイン端子に接続されているコンデンサ、34はコンデンサ33の他端に現れる電圧信号111を反転する反転回路、35は反転回路34の出力を反転して検出信号130を出力する反転回路である。

【0020】次に動作について図4の波形図および図5、図6のタイミング図を参照して説明する。なお、ここでは、波形なまりを考慮してクロック信号301は正弦波で表現されている。

【0021】クロック信号301が停止するには、以下のような原因が考えられる。

(1) クロック信号発生部210の入力端子212および出力端子214が開放した。このとき、クロック信号発生部210において、反転回路216の入出力間が抵抗を介して接続されるので、反転回路216の出力レベルは $1/2V_{dd}$ に収束する。すなわち、クロック信号301は $1/2V_{dd}$ の固定レベルに変化する。

(2) クロック信号発生部210の入力端子212が接地に短絡する。または、出力端子214が電源に短絡する。このとき、クロック信号発生部210の反転回路216の出力レベルは電源電圧レベル $V_{dd}$ に収束する。すなわち、クロック信号301は $V_{dd}$ の固定レベルに変化する。

(3) クロック信号発生部210の入力端子212が電源に短絡する。または、出力端子214が接地に短絡する。このとき、クロック信号発生部210の反転回路216の出力レベルは接地レベル $V_{ss}$ に収束する。すなわち、クロック信号301は $V_{ss}$ の固定レベルに変化する。

【0022】以上のことから、クロック信号301が $1/2V_{dd}$ 、 $V_{dd}$ または $V_{ss}$ の固定レベルに変化したことを検出することによって、クロック信号301の停止を確実に検出できることがわかる。図2に示された回路は、このような考え方にもとづく検出回路の一構成例である。図4に示すように、 $1/2V_{dd}$ 、 $V_{dd}$ または $V_{ss}$ の検出のために、 $1/2V_{dd} \pm \Delta V1$ 、 $V_{dd} - \Delta V2$ および $V_{ss} + \Delta V3$ のしきい値を設ける。 $\Delta V1$ 、 $\Delta V2$ および $\Delta V3$ は素子のばらつき等を考慮して定められる微小な値である。

【0023】まず、クロック信号301が $1/2V_{dd}$ の固定レベルに変化したことの検出の仕方について図5(A)および図6(A)を参照して説明する。反転回路12は、しきい値レベルが $1/2V_{dd} - \Delta V1$ であるように設計されたものである。反転回路13は、しきい値レベルが $1/2V_{dd} + \Delta V1$ であるように設計されたものである。従って、図5(A)(a)および図6(A)(a)に示すようにクロック信号301が $1/2V_{dd}$ の固定レベルに収束すると、反転回路12の出力はローレベルになり、反転回路13の出力はハイレベル

になる。

【0024】論理回路14は、反転回路12の出力に接続されている入力がローレベルになり、かつ、反転回路13の出力に接続されている入力が高レベルになると、ローレベルを出力するように構成されている。従って、クロック信号301が $1/2V_{dd}$ の固定レベルに収束すると、論理回路14の出力である第1の停止検出信号101はローレベルになる(図5(A)(b)、図6(A)(b)参照)。すなわち、第1の停止検出信号101が有意なレベルになる。

【0025】反転回路15は、しきい値レベルが $V_{dd} - \Delta V2$ であるように設計されたものである。また、反転回路16は、しきい値レベルが $V_{ss} + \Delta V3$ であるように設計されたものである。従って、クロック信号301が $1/2V_{dd}$ の固定レベルに収束すると、図6(A)(c)に示すように、反転回路15の出力である第2の停止検出信号102はハイレベルになる。すなわち、第2の停止検出信号102は有意なレベルではない。また、図6(A)(d)に示すように、反転回路16の出力である第3の停止検出信号103はローレベルになる。すなわち、第3の停止検出信号103も有意なレベルではない。

【0026】論理回路17は、第1の停止検出信号101および第2の停止検出信号102がハイレベルであって第3の停止検出信号103がローレベルのときにハイレベルになる。第1の停止検出信号101および第2の停止検出信号102の有意なレベルはローレベルであって第3の停止検出信号103の有意なレベルはハイレベルであるから、いずれか1つの入力信号が有意である場合に、論理回路17はローレベルになる。すなわち、電圧検出信号110は、有意なレベルであるローレベルになる。

【0027】この場合には、論理回路14が出力する第1の停止検出信号101にもとづいて、図6(A)

(e)に示すように、電圧検出信号110は有意なレベルになる。なお、クロック信号301が継続して出力されている場合には、図6(A)(e)の左側に示すように、電圧検出信号110は、繰り返して現れるパルス信号になる。

【0028】次に、クロック信号301が $V_{dd}$ の固定レベルに変化したことの検出の仕方について図5(B)および図6(B)を参照して説明する。上述したように、反転回路15のしきい値レベルは $V_{dd} - \Delta V2$ であるから、図5(B)(a)および図6(B)(a)に示すようにクロック信号301が $V_{dd}$ の固定レベルに収束すると、反転回路15の出力である第2の停止検出信号102はローレベルになる。すなわち、第2の停止検出信号102が有意なレベルになる(図5(B)(b)、図6(B)(c)参照)。このとき、論理回路14が出力する第1の停止検出信号101はハイレベル

であり(図6(B)(b)参照)、反転回路16が出力する第3の停止検出信号103はローレベルである(図6(B)(d)参照)。従って、この場合には、反転回路15が出力する第2の停止検出信号102にもとづいて、論理回路17は、ローレベルを出力する。すなわち、図6(B)(e)に示すように、電圧検出信号110は有意なレベルになる。

【0029】次いで、クロック信号301が $V_{ss}$ の固定レベルに変化したことの検出の仕方について図5

(C)および図6(C)を参照して説明する。上述したように、反転回路16のしきい値レベルは $V_{ss} + \Delta V_3$ であるから、図5(C)(a)および図6(C)

(a)に示すようにクロック信号301が $V_{ss}$ の固定レベルに収束すると、反転回路16の出力である第3の停止検出信号103はハイレベルになる。すなわち、第3の停止検出信号103が有意なレベルになる(図5

(C)(b)、図6(C)(d)参照)。このとき、論理回路14が出力する第1の停止検出信号101はハイレベルであり(図6(C)(b)参照)、反転回路15が出力する第2の停止検出信号102はハイレベルである(図6(C)(e)参照)。従って、この場合には、反転回路16が出力する第3の停止検出信号103にもとづいて、論理回路17は、ローレベルを出力する。すなわち、図6(C)(e)に示すように、電圧検出信号110は有意なレベルになる。

【0030】以上のように、クロック信号301が $1/2V_{dd}$ 、 $V_{dd}$ または $V_{ss}$ の固定レベルに変化した場合には、第1の停止検出回路21、第2の停止検出回路22または第3の停止検出回路23が出力する第1の停止検出信号101、第2の停止検出信号102または第3の停止検出信号103が有意になる。その結果、論理回路17はローレベルを出力するので、電圧検出回路10は有意なローレベルの電圧検出信号110を出力する。

【0031】次に、発振停止検出回路30の動作を図7のタイミング図を参照して説明する。発振停止検出制御回路50は、発振停止検出回路30の動作を禁止するか許可するかを制御する。発振停止検出回路30の動作を許可する場合には、発振停止検出制御回路50は、イネーブル信号120を有意なレベルであるローレベルにする(図7(b)参照)。イネーブル信号120がローレベルになると、発振停止検出回路30においてPチャネルトランジスタ31がオンする。従って、コンデンサ33が充電されう状態になる。この状態で、Nチャネルトランジスタ32がオフするとコンデンサ33は充電され、Nチャネルトランジスタ32がオンするとコンデンサ33は放電する。

【0032】クロック信号301が継続して出力されているときには、電圧検出信号110は、繰り返して現れるパルス信号となる(図7(a)参照)。この状態では

Nチャネルトランジスタ32はオン状態とオフ状態を交互に繰り返すので、コンデンサ33は、充放電を繰り返す。従って、コンデンサ33の電圧を示す電圧信号111のレベルは、電源電圧レベル $V_{dd}$ に達しない(図7(c)参照)。

【0033】クロック信号301が停止すると、電圧検出回路10からの電圧検出信号110はローレベルになるので、Nチャネルトランジスタ32のオフ状態が継続する。従って、コンデンサ33は継続して充電される。すると、電圧信号111のレベルが上昇し、ついには電源電圧レベル $V_{dd}$ に達する(図7(c)参照)。反転回路34は、しきい値レベルが電源電圧レベル $V_{dd}$ よりやや小さい $V_t$ になるように設計されているものである。よって、反転回路34の出力がローレベルになる。従って、反転回路35から、有意なハイレベルの検出信号130が出力される(図7(d)参照)。以上のようにして、クロック信号301が停止すると、発振停止検出回路30から有意な検出信号130が出力される。

【0034】実施の形態2. 図8はこの発明の実施の形態2による発振停止検出装置の構成を示すブロック図である。ここでは、マイクロコンピュータ402に内蔵された発振停止検出装置を示す。図において、51は論理回路52を有する発振停止検出制御回路、60はマイクロコンピュータ402の制御レジスタ、62は制御レジスタ60のストップモードビットとマイクロコンピュータ402のCPU部(図示せず)からのストップ命令

(STOP命令)に応じた信号との論理和をとる反転論理和回路(NOR回路)、63はNOR回路62の出力信号115を反転する反転回路、64は反転回路63の出力を反転する反転回路、65は反転回路64の出力を遅延する遅延回路、66は遅延回路65の出力を反転する反転回路である。

【0035】70は制御レジスタ60の検出禁止ビットとCPU部からの検出禁止命令(DE命令)に応じた信号との論理和をとるNOR回路である。80はリセット信号入力端子242からのリセット信号を受けるシュミットトリガ回路、82はシュミットトリガ回路80の出力を遅延する遅延回路、84は遅延回路82の出力を反転する反転回路、86は反転回路84の出力を反転する反転回路である。211は入力端子212および出力端子214に接続された振動子とともに動作してクロック信号301を発生するNAND回路217および抵抗 $R_f$ を有するクロック信号発生部である。NAND回路217の一方の入力には、NOR回路62の出力が接続されている。その他の構成要素は、図1に示された構成要素と同じものである。

【0036】次に動作について説明する。マイクロコンピュータ402の動作モードの中には、クロック信号301を停止させる低消費モード(ストップモード)がある。低消費モードは、例えば、CPU部が特定命令であ

るSTOP命令を実行するか、マイクロコンピュータ402の制御レジスタ60のストップモードビットがソフトウェアによってセットされることによって実現される。STOP命令が実行されるか、または、制御レジスタ60のストップモードビットがセットされると、NOR回路62の出力がローレベルになるので、NAND回路217の出力は変化しない。すなわち、クロック信号301は停止する。低消費モードではクロック信号301は停止するが、この状態は異常状態ではない。従って、低消費モードでは、発振停止検出制御は実行されるべきではない。

【0037】論理回路52は、反転回路66の出力である第1の禁止信号116、NOR回路70の出力である第2の禁止信号117および反転回路86の出力である第3の禁止信号118を入力する。論理回路52の出力は、第1の禁止信号116がローレベルであり、かつ、第2の禁止信号117および第3の禁止信号118がハイレベルのときに、ローレベルになる。すなわち、第1の禁止信号116がハイレベルであるか、第2の禁止信号117または第3の禁止信号118がローレベルであるときに、論理回路52の出力であるイネーブル信号120のレベルは検出禁止状態を示すハイレベルになる。なお、第3の禁止信号118は、CPU部に供給される内部リセット信号でもある。

【0038】低消費モード時には、NOR回路62の出力信号115がローレベルになるので、第1の禁止信号116はハイレベルになる。従って、イネーブル信号120のレベルは、検出禁止状態を示すハイレベルになる。電圧検出回路10および発振停止検出回路30は、実施の形態1の場合と同様に動作する。イネーブル信号120のレベルが検出禁止状態を示すハイレベルであるときには、図7に示すように、発振停止検出回路30は、動作しない状態になる。

【0039】マイクロコンピュータ402が低消費モードから通常モードに移行するときには、クロック信号発生部211のクロック信号301の出力が再開される。しかし、出力再開しても、クロック信号301の周波数が安定するまでに時間がかかる。すると、低消費モードが解除されたときからクロック信号301の周波数が安定するまでに、発振停止検出回路30が有意な検出信号130を出力してしまう可能性がある。そこで、NOR回路62の出力信号115をT1遅延する遅延回路65が設けられる。遅延回路65は、図9に示すように、NOR回路62の出力信号115をT1遅延する。T1は、クロック信号発生部211においてクロック信号301の周波数が安定するまでの時間に対応した時間である。従って、遅延回路65によって、低消費モードが解除されたときからT1の期間、イネーブル信号120のレベルは検出禁止状態を示すハイレベルに維持される。この結果、低消費モード解除時のクロック信号301の

周波数不安定状態を異常と誤検出することは回避される。

【0040】マイクロコンピュータ402に電源が投入されるとクロック信号発生部211からクロック信号301が出力されるが、しばらくの間、クロック信号301の周波数は不安定である。従って、マイクロコンピュータ402の電源投入時に、発振停止検出回路30が有意な検出信号130を出力してしまう可能性がある。そこで、マイクロコンピュータ402の内部で使用するリセット信号を用いて発振停止検出回路30の動作を禁止する。マイクロコンピュータ402の内部で使用するリセット信号は、リセット信号入力端子242から入力される外部からのリセット信号が遅延回路82で遅延されたものであり、第3の禁止信号118に相当する。

【0041】図10は外部からのリセット信号と第3の禁止信号（内部リセット信号）118との関係を示すタイミング図である。図に示すように、外部からのリセット信号がハイレベルに変化してからT2後に第3の禁止信号118がハイレベルになる。T2は、クロック信号301の周波数が安定するまでの時間を確保するのに十分な時間に設定される。第3の禁止信号118がローレベルである間、イネーブル信号120のレベルは検出禁止状態を示すハイレベルである。すなわち、遅延回路82によって、クロック信号301の周波数が安定する前にクロック信号301が停止したと判断されてしまうことが防止される。

【0042】低消費モードが解除されたとき、および、マイクロコンピュータ402に電源が投入されたときだけではなく、任意に発振停止検出回路30の動作を禁止することができれば便利である。そこで、例えば、マイクロコンピュータ402において、特定命令であるDE命令が用意される。また、制御レジスタ60に検出禁止ビットが割り当てられる。検出禁止ビットは、ソフトウェアによってオン/オフされる。DE命令が実行されるか、または、制御レジスタ60の検出禁止ビットがセットされるとNOR回路70の出力がローレベルになる。すなわち、第2の禁止信号117がローレベルになる。従って、論理回路52の出力であるイネーブル信号120のレベルは検出禁止状態を示すハイレベルになる。

【0043】以上のようにして、発振停止検出回路30の動作は、低消費モード時およびマイクロコンピュータ402の電源投入時に発振停止検出制御回路51によって動作禁止状態に設定される。従って、誤ってクロック信号301が停止したと判断されることは防止される。また、ソフトウェアによって発振停止検出回路30を任意に動作禁止状態に設定できるので、プログラム実行時にクロック信号301の停止検出を行いたくないときに、容易に停止検出処理を中断できる。

【0044】実施の形態3. 図11はこの発明の実施の形態3による発振停止検出装置の構成を示すブロック図



である。ここでは、マイクロコンピュータ403に内蔵された発振停止検出装置を示す。図において、80はリセット信号入力端子242からのリセット信号を受けるシュミットトリガ回路、88はシュミットトリガ回路80の出力がハイレベルで、かつ、検出信号130がローレベルのときに出力がハイレベルになる論理回路（強制リセット回路）である。すなわち、論理回路88の出力は、シュミットトリガ回路80の出力がローレベルであるか、または、検出信号130が有意なレベルであるハイレベルのときに、有意なローレベルになる。論理回路88の出力は、内部リセット信号118となる。244は検出信号130を出力する出力端子である。その他の構成要素は、図1に示された構成要素と同じものである。

【0045】次に動作について説明する。クロック信号発生部210、電圧検出回路10、発振停止検出回路30および発振停止検出制御回路50は実施の形態1の場合と同様に動作する。しかし、この場合には、発振停止検出回路30がクロック信号301の停止を検出して検出信号130をハイレベルにすると、論理回路88を介して、CPU部（図示せず）に有意なローレベルの内部リセット信号118が与えられる。従って、CPU部は強制的にリセット状態になる。

【0046】既に述べたように、マイクロコンピュータ403の誤動作対策として、ソフトウェアにフェールセーフ処理を盛り込むことによる対策、マイクロコンピュータが内蔵するウォッチドッグタイマを使用することによる対策、マイクロコンピュータ403の外部に設けられた周辺回路（図示せず）による対策などがある。一般に、誤動作対策用の周辺回路等は、マイクロコンピュータ403のリセット時の状態を想定して構成されている。クロック信号301が停止した場合にはマイクロコンピュータ403が介在する誤動作対策は有効に機能しない。しかし、クロック信号301が停止したときにCPU部に内部リセット信号118が与えられれば、誤動作対策用の周辺回路が有効に機能するので、周辺回路において、マイクロコンピュータ403に異常が生じたことが検出される。

【0047】また、クロック信号301の出力が再開されたときに、CPU部はリセット状態から動作を再開できるので、クロック信号301の出力再開時に、プログラムが正常に動作しないといった弊害も避けられる。さらに、この場合には、検出信号130は出力端子244を介してマイクロコンピュータ403の外部に出力されているので、誤動作対策用の周辺回路は、より容易にマイクロコンピュータ403の異常を検出できる。

【0048】なお、この実施の形態では、実施の形態1において用いられたクロック信号発生部210が設けられた場合を示したが、実施の形態2の構成のように、制御レジスタ60からのストップモードビットやCPU部

からのSTOP命令を使用するクロック信号発生部211を用いてもよい。また、実施の形態2の構成のように、第1の禁止信号116、第2の禁止信号117および内部リセット信号（第3の禁止信号）118を使用する発振停止検出制御回路51を用いてもよい。

【0049】実施の形態4. 図12はこの発明の実施の形態4による発振停止検出装置の構成を示すブロック図である。ここでは、マイクロコンピュータ404に内蔵された発振停止検出装置を示す。マイクロコンピュータ404には、クロック信号発生部210の他にサブクロック信号発生部を有するものがある。そのような構成によって、マイクロコンピュータ404は、クロック信号発生部210からのクロック信号301とサブクロック信号発生部からの低速のクロック信号とを、処理に要求される速度に応じて適宜切り換えて使用することができる。

【0050】図12において、260は入力端子262および出力端子264に接続された振動子とともに動作してクロック信号311を発生する反転回路266および抵抗 $R_s$ を有するサブクロック信号発生部、19はサブクロック信号発生部260からのクロック信号311を対象に電圧検出を行い電圧検出信号119を発生する電圧検出回路、39は電圧検出信号119を用いてクロック信号311の停止検出を行い検出信号139を出力する発振停止検出回路、59は発振停止検出回路39にイネーブル信号129を与える発振停止検出制御回路、61は検出信号130、139の状態を格納するレジスタ、90はクロック信号発生部210からのクロック信号301とサブクロック信号発生部260からのクロック信号311とのうちのいずれかを選択するスイッチ回路である。なお、電圧検出回路19、発振停止検出回路39および発振停止検出制御回路59は、それぞれ、電圧検出回路10、発振停止検出回路30および発振停止検出制御回路50と同様に構成される。

【0051】次に動作について説明する。クロック信号発生部210、電圧検出回路10、発振停止検出回路30および発振停止検出制御回路50は、実施の形態1の場合と同様に動作する。サブクロック信号発生部260、電圧検出回路19、発振停止検出回路39および発振停止検出制御回路59も、それぞれ、クロック信号発生部210、電圧検出回路10、発振停止検出回路30および発振停止検出制御回路50と同様に動作する。スイッチ回路90は、CPU部（図示せず）の制御によって、クロック信号301とクロック信号311とのうちのいずれかを選択する。マイクロコンピュータ404は、選択された方のクロック信号にもとづいて動作する。

【0052】レジスタ61には、発振停止検出回路30からの検出信号130および発振停止検出回路39からの検出信号139が設定される。従って、例えば、マイ

クロコンピュータ 404 がクロック信号 301 にもとづいて動作しているときに、CPU 部は、レジスタ 61 の該当ビットを確認することによって、サブクロック信号発生部 260 からのクロック信号 311 が停止したかどうかを知ることができる。また、マイクロコンピュータ 404 がクロック信号 311 にもとづいて動作しているときに、CPU 部は、レジスタ 61 の該当ビットを確認することによって、クロック信号発生部 210 からのクロック信号 301 が停止したかどうかを知ることができる。

【0053】マイクロコンピュータ 404 がクロック信号 301 にもとづいて動作しているときに CPU 部がクロック信号 311 の停止を認識すると、CPU 部は、誤動作対策を実施することができる。すなわち、ソフトウェアによって誤動作対策を行うことができる。例えば、以後、スイッチ回路 90 を切り換えないようにするといった処理や、出力ポートにクロック信号 311 の停止を示す信号を出力するといった処理を行うことができる。マイクロコンピュータ 404 がクロック信号 311 にもとづいて動作しているときにも、同様に、ソフトウェアで誤動作対策を実施することができる。

【0054】なお、この実施の形態では、実施の形態 1 において用いられたクロック信号発生部 210 が設けられた場合を示したが、実施の形態 2 の構成のように、制御レジスタ 60 からのストップモードビットや CPU 部からの STOP 命令を使用するクロック信号発生部 211 を用いてもよい。また、実施の形態 2 の構成のように、第 1 の禁止信号 116、第 2 の禁止信号 117 および内部リセット信号（第 3 の禁止信号）118 を使用する発振停止検出制御回路 51 を用いてもよい。また、サブクロック信号発生部 260 および発振停止検出制御回路 59 も、それぞれ、実施の形態 2 に示されたようなクロック信号発生部 211 および発振停止検出制御回路 51 のように構成してもよい。

【0055】そのように構成すれば、クロック信号 301、311 が停止した後再び出力再開され CPU 部のリセット状態が解除されたときに、CPU 部は、レジスタ 61 の内容を確認することによって、クロック信号 301 またはクロック信号 311 が一旦停止したことを認識できる。

【0056】

【発明の効果】以上のように、請求項 1 記載の発明によれば、発振停止検出装置を、クロック信号発生部の出力がハイレベル、ローレベルまたは中間レベルに収束したことを検出してそれらのレベルを示す電圧検出信号を出力する電圧検出回路と、電圧検出信号にもとづいてクロック信号が停止したことを示す検出信号を出力する発振停止検出回路とを備えるように構成したので、様々な原因によるクロック信号の停止を確実に検出できる効果がある。

【0057】請求項 2 記載の発明によれば、発振停止検出装置を、発振停止検出回路の動作を禁止する発振停止検出制御回路を備えるように構成したので、半導体装置が故障でないときにクロック信号が停止する場合に、誤って半導体装置が故障であると検出されることを防止できる効果がある。

【0058】請求項 3 記載の発明によれば、発振停止検出装置を、外部から与えられるリセット信号を遅延した信号、強制的にクロック信号を停止するクロック停止モードに応じた信号を遅延した信号、またはクロック信号停止検出処理を強制的に禁止する信号が有意になると発振停止検出回路の動作を禁止する発振停止検出制御回路を有するように構成したので、リセット信号が出力されたときや低消費モードのようなクロック停止モードにあるときに誤って半導体装置が故障であると検出されることを防止できるとともに、クロック信号停止検出処理をソフトウェアによって任意に禁止できる効果がある。

【0059】請求項 4 記載の発明によれば、発振停止検出装置を、発振停止検出回路からの検出信号が有意になると半導体装置の内部にリセット信号を与える強制リセット回路を有するように構成したので、半導体装置の外部に設けられる周辺回路において容易に半導体装置の故障を検出できる効果がある。

【0060】請求項 5 記載の発明によれば、発振停止検出装置を、複数のクロック信号発生部からの各クロック信号が停止したことを示す検出信号の状態を格納するレジスタを有するように構成したので、発振停止検出装置がマイクロコンピュータ等に適用された場合に、ソフトウェアによってクロック信号の停止を認識できる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による発振停止検出装置の構成を示すブロック図である。

【図 2】 電圧検出回路の一構成例を示す回路図である。

【図 3】 発振停止検出回路の一構成例を示す回路図である。

【図 4】 電圧検出回路におけるしきい値を説明するための波形図である。

【図 5】 クロック信号と電圧検出回路における停止検出信号との関係を示すタイミング図である。

【図 6】 クロック信号、電圧検出回路における停止検出信号および電圧検出回路からの電圧検出信号の関係を示すタイミング図である。

【図 7】 電圧検出回路からの電圧検出信号、発振停止検出制御回路からのイネーブル信号および発振停止検出回路からの検出信号の関係を示すタイミング図である。

【図 8】 この発明の実施の形態 2 による発振停止検出装置の構成を示すブロック図である。

【図 9】 遅延回路の作用を説明するためのタイミング



図である。

【図 10】 外部からのリセット信号を遅延する遅延回路の作用を説明するためのタイミング図である。

【図 11】 この発明の実施の形態 3 による発振停止検出装置の構成を示すブロック図である。

【図 12】 この発明の実施の形態 4 による発振停止検出装置の構成を示すブロック図である。

【図 13】 従来の発振停止検出装置の構成を示す回路図である。

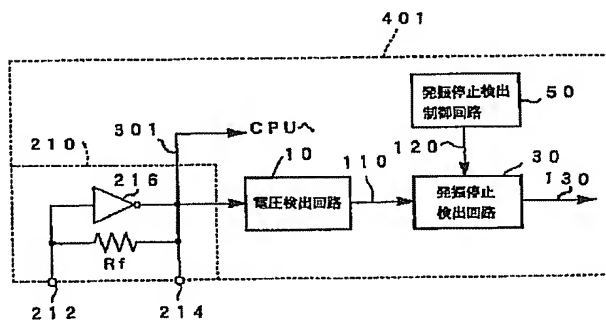
【図 14】 図 13 における各部分の信号を示すタイミング図である。

【図 15】 クロック信号発生部の一構成例を示すブロック図である。

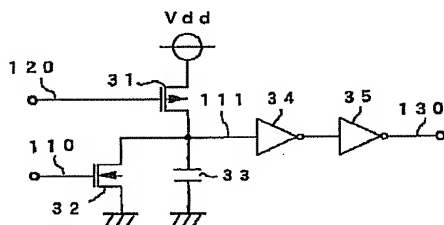
【符号の説明】

10 電圧検出回路、30 発振停止検出回路、50、51 発振停止検出制御回路、61 レジスタ、88 論理回路（強制リセット回路）。

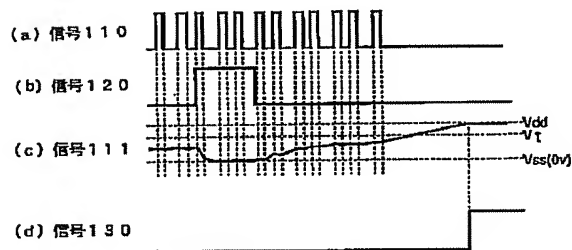
【図 1】



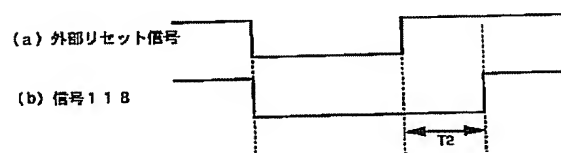
【図 3】



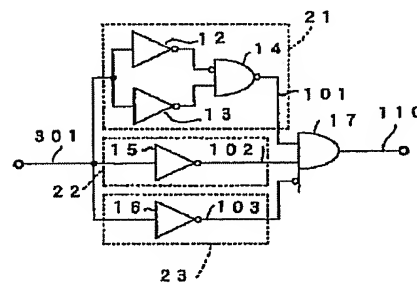
【図 7】



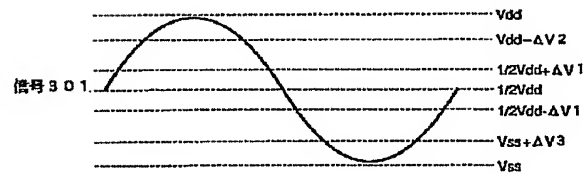
【図 10】



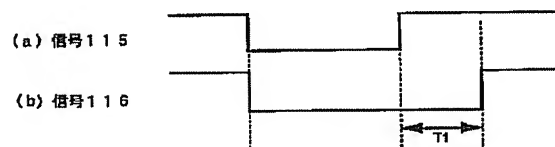
【図 2】



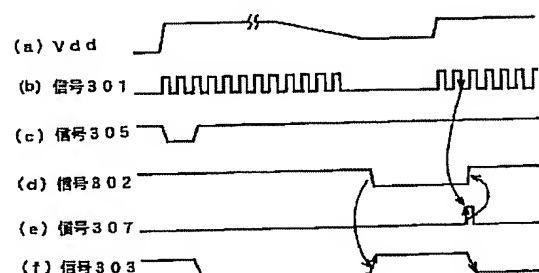
【図 4】



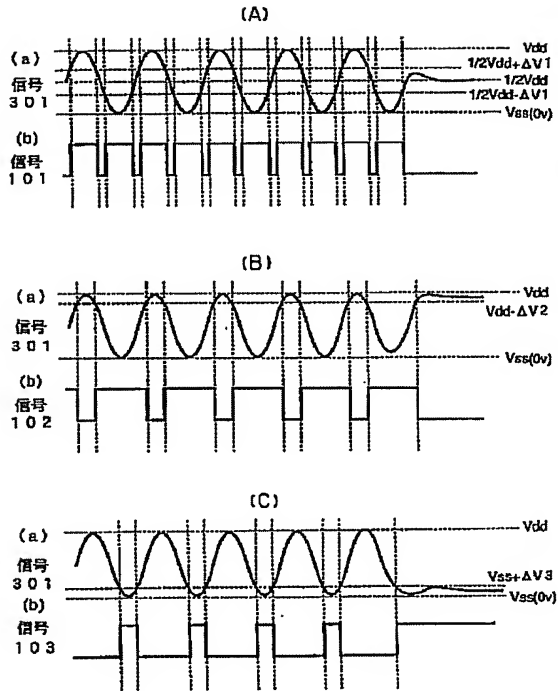
【図 9】



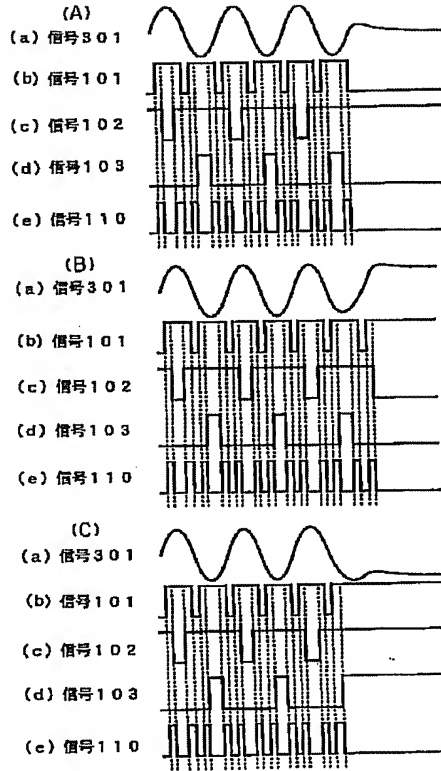
【図 14】



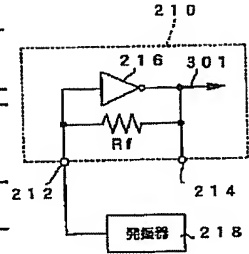
【図5】



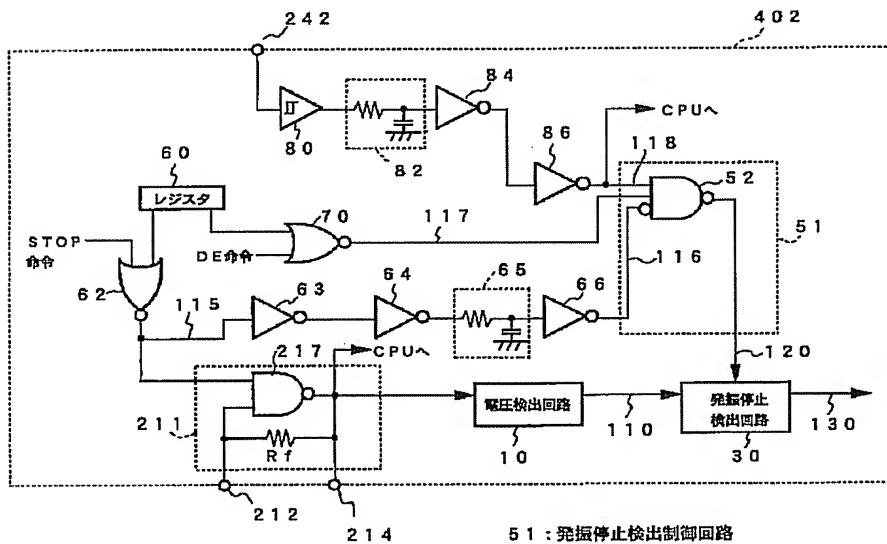
【図6】



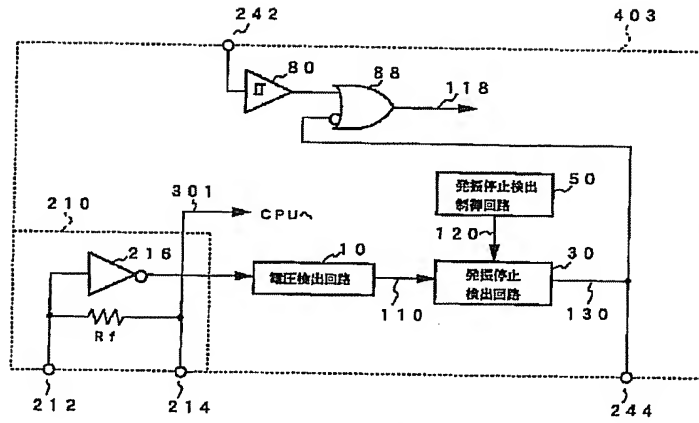
【図15】



【図8】

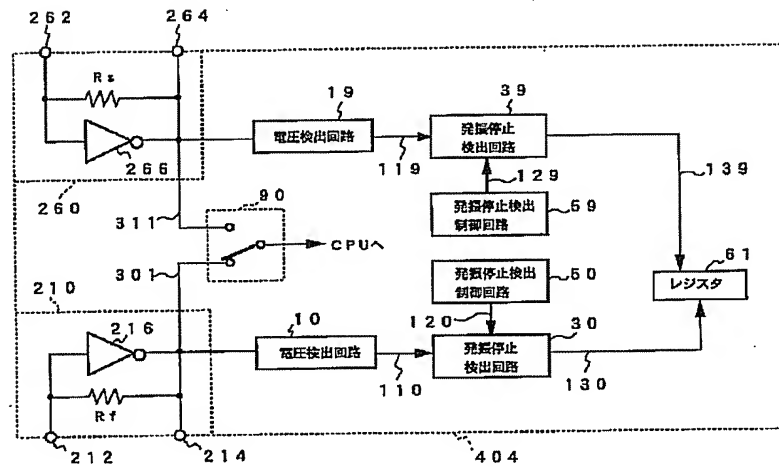


【図 11】

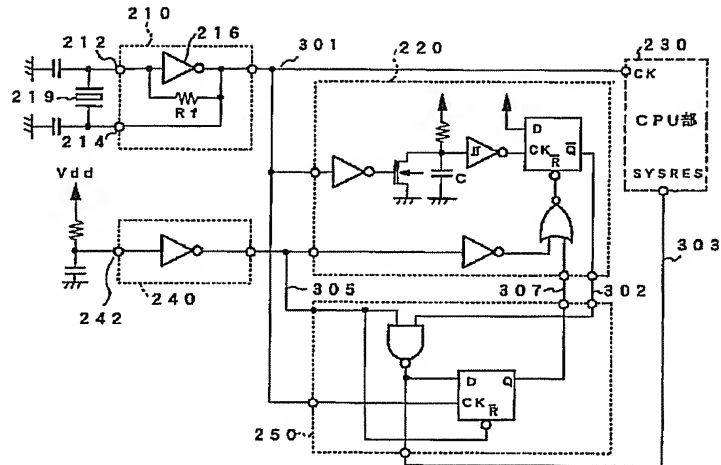


88: 論理回路 (強制リセット回路)

【図 12】



【図 13】



フロントページの続き

(72) 発明者 長 ▲よし▼樹  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内

(72) 発明者 浅野 真弘  
兵庫県伊丹市中央 3 丁目 1 番 17 号 三菱電  
機セミコンダクタソフトウェア株式会社内

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-319456

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

G06F 1/04

G06F 11/30

(21)Application number : 08-140094

(71)Applicant : MITSUBISHI ELECTRIC CORP  
MITSUBISHI DENKI  
SEMICONDUCTOR SOFTWARE KK

(22)Date of filing : 03.06.1996

(72)Inventor : UTSUNO MASAYUKI  
CHIYOU YOSHIKI  
ASANO SHINKO

## (54) OSCILLATION STOP DETECTOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To surely detect a clock signal stop caused by various factors.

SOLUTION: A voltage detection circuit 10 detects the convergence of output of a clock signal generating part 210 at a high level, low level or middle level and outputs a voltage detecting signal 110 showing these levels.

When the voltage detecting signal 110 shows the convergence of output of the clock signal generating part 210 at the respective levels, an oscillation stop detection circuit 30 outputs a detecting signal 130 showing the stop of a clock signal 301.

